

PAT-NO: JP40921888A  
DOCUMENT-IDENTIFIER: JP 09218888 A  
TITLE: HOLD TIME ERROR ELIMINATING SYSTEM  
PUBN-DATE: August 19, 1997

INVENTOR- INFORMATION:

NAME  
TAWADA, SHIGEYOSHI

ASSIGNEE- INFORMATION:

NAME NEC CORP	COUNTRY N/A
------------------	----------------

APPL-NO: JP08048017

APPL-DATE: February 9, 1996

INT-CL (IPC): G06F017/50, H01L021/82

ABSTRACT:

PROBLEM TO BE SOLVED: To obtain an arrangement wiring result from which an error is eliminated by detecting the hold time error of a path, selecting a delay gate capable of evading the hold time error in a range in which a maximum delay time error is not generated for the net on a path in which the error occurs and inserting the delay gate.

SOLUTION: By using a path delay analysis means 104, a hold time error detection means 106 detects a path in which a hold time error occurs by calculating the delay time of the path between each flip flop, adding the clock skew determined by a clock skew calculation means 105 and comparing the clock skew with the minimum delay time constraint of path delay constraint information 114. A delay gate insertion means 107 inserts the delay

gate  
necessary for eliminating the hold time error by referring to delay  
information  
113 and updates logical connection information 111. As a result, a  
rewiring is  
performed by the arrangement of this delay gate.

COPYRIGHT: (C)1997, JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-218888

(43)公開日 平成9年(1997)8月19日

(51)Int.Cl. G 0 6 F 17/50 H 0 1 L 21/82	識別記号 F I G 0 6 F 15/60 H 0 1 L 21/82	府内整理番号 6 5 6 D 6 5 8 K	技術表示箇所 C
---	---	------------------------------	-------------

審査請求 有 請求項の数4 FD (全11頁)

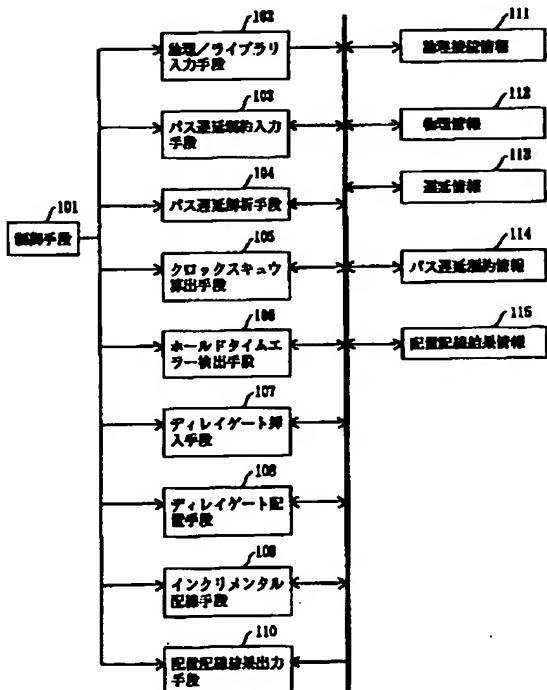
(21)出願番号 特願平8-48017	(71)出願人 000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日 平成8年(1996)2月9日	(72)発明者 多和田 茂芳 東京都港区芝五丁目7番1号 日本電気株式会社内
	(74)代理人 弁理士 加藤 朝道

(54)【発明の名称】ホールドタイムエラー除去方式

(57)【要約】

【課題】ホールドタイムエラーを自動で除去し設計工数の削減と高集積化を計る。

【解決手段】クロックスキュー算出手段により求められたクロックスキューを考慮して、バス遅延解析手段が配置配線結果に基づくバス遅延解析を行い、バスのホールドタイムエラーをホールドタイムエラー検出手段が検出し、ディレイゲート挿入手段がエラーを起こしているバス上のネットに対して最大遅延時間エラーを起こさない範囲でホールドタイムエラーを回避可能なディレイゲートを選択し挿入して、ディレイゲート配置手段がそのディレイゲートをホールドタイムエラー回避可能な位置に配置し、インクリメンタル配線手段がディレイゲートの配置によって変更の必要が生じるネットについて再配線を行う事により、必要最小限のディレイゲートの追加でホールドタイムエラーを除去した配置配線結果を自動で得る。



1

## 【特許請求の範囲】

【請求項1】LSI、PWB等のレイアウト設計において、回路を構成するブロック間の論理接続情報、ブロックの配置結果やブロック間接続の配線結果の物理情報、遅延解析に必要なブロック内部遅延や配線遅延計算用パラメータ等の遅延情報を入力する論理/ライブラリ入力手段と、回路の目標性能を規定するバスの、最小遅延時間制限、及び最大遅延時間制限からなる、遅延時間制限値を入力するバス遅延制約入力手段と、バスの遅延解析を行うバス遅延解析手段と、クロックネットを構成するバスを抽出し前記バス遅延解析手段を用いてクロックスキューを求めるクロックスキュー算出手段と、前記バス遅延解析手段を用いて、前記クロックスキュー算出手段により求められたクロックスキューを考慮したバス遅延解析を行いホールドタイムエラー（すなわち最小遅延時間エラー）を起こしているバスを検出するホールドタイムエラー検出手段と、前記ホールドタイムエラー検出手段により検出されたホールドタイムエラーを起こしているバス上のネットに対して、最大遅延時間エラーを起こさない範囲でホールドタイムエラーを除去可能なディレイゲートを選択し挿入するディレイゲート挿入手段と、前記ディレイゲート挿入手段により挿入されたディレイゲートをホールドタイムエラー回避可能な位置に配置するディレイゲート配置手段と、挿入されたディレイゲートの配置によって変更の必要が生じるネットについて再配線を行うインクリメンタル配線手段と、配置配線結果を出力する出力手段と、前記各手段を制御する制御手段と、を有することを特徴とするホールドタイムエラー除去方式。

【請求項2】前記論理/ライブラリ入力手段が、ブロック間接続の配線結果を入力しない場合において、配置結果から各ネットの仮想配線を見積る仮想配線見積り手段と、前記仮想配線を用いてバスの遅延解析を行うバス遅延解析手段と、を有し、インクリメンタル配線手段を用いないで配置結果のみを出力することを特徴とする請求項1記載のホールドタイムエラー除去方式。

【請求項3】LSI、PWB等のレイアウトの設計方式において、論理回路の配置及び配線結果から抽出されたクロック分配系回路のフリップフロップ間におけるクロックバスの遅延解析から求めたクロックスキューと、該フリップフロップ間のデータバスの遅延時間と、から、予め定めた最小遅延時間違反（「ホールドタイムエラ

30

40

2

ー」という）であるか否かを判定し、ホールドタイムエラーが検出されたバスについて予め登録されている複数の遅延ゲートの中から該ホールドタイムエラーを解消すると共に予め定めた最大遅延時間制約を満たすような遅延ゲートを選択して対応する論理接続上のネットに挿入し、この論理接続情報の更新に伴い更新される配線及び配置結果に対して、該遅延ゲートを該ホールドタイムエラー回避可能な位置に自動配置し、インクリメンタル配線手段により該遅延ゲートの配置によって変更の必要が生じるネットについて再配線を行うことにより、ホールドタイムエラーが除去された配置及び配線結果を自動で出力することを特徴とするホールドタイムエラー除去方法。

【請求項4】LSI、PWB等のレイアウトの設計方式において、論理回路の配置結果から仮想配線に基づきクロック分配系回路のフリップフロップ間におけるクロックバスの遅延解析から求めたクロックスキューと、該フリップフロップ間のデータバスの遅延時間と、から、予め定めた最小遅延時間違反（「ホールドタイムエラー」という）であるか否かを判定し、ホールドタイムエラーが検出されたバスについて予め登録された複数の遅延ゲートの中から該ホールドタイムエラーを解消すると共に予め定めた最大遅延時間制約を満たすように遅延ゲートを選択して対応する論理接続上のネットに挿入すると共に、該遅延ゲートを該ホールドタイムエラー回避可能な位置に自動配置することを特徴とするホールドタイムエラー除去方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、LSI（集積回路）、PWB（プリント配線板）等のレイアウト設計におけるホールドタイムエラー除去方式に関し、特に論理回路のホールドタイムエラーを除去するレイアウト設計方式に関する。

## 【0002】

【従来の技術】従来技術のレイアウト方式においては、論理接続情報に基づいて総配線長の短縮、及び配線性の向上を目的とする自動配置配線処理を行うことが一般的とされており、配置配線後の遅延解析でバスのホールドタイムエラーが発生した場合には、人手で配置配線修正を行ったり、論理を修正し再度レイアウトする等してこのホールドタイムエラーを除去していた。あるいは、ホールドタイムエラーを起こさないように、論理設計段階で予めディレイゲート（遅延ゲート）を挿入しておく等で対処していた。なお、従来のレイアウト方式については、刊行物（樹下行三（編者）、情報処理学会発行、「論理装置のCAD」、昭和56年3月20日発行、第30～62頁）等が参照される。

50 【0003】

3

【発明が解決しようとする課題】上述した従来のレイアウト方式における第1の問題点は、論理接続情報のみに基づいて、総配線長の短縮、及び配線性の向上を目的として、自動配置配線処理が行われていることである。

【0004】このように、論理接続情報のみに基づいて自動配置配線処理を行う場合、配置配線後の遅延解析により、スキューが大きいバスや遅延時間が小さいバスについて、ホールドタイムエラーを発生することがある。なお、最小遅延時間エラー等の遅延解析に関する従来技術としては、特開平5-6405号公報には、データバスの最小遅延時間が制限値を下回るエラーパスに対してエラーパスの最大遅延時間が制限値以下を保ちつつ、エラーパスの最小遅延時間が制限値以上となる修正手段を提供することを目的として、ディレイバッファの挿入による最大遅延時間の増加を考慮しつつ最小遅延時間を保証するためにエラーパスに挿入するディレイバッファの種類及び数の最適な組み合わせを求めるにより、最小遅延時間エラーを保証し無駄なディレイバッファ挿入に起因する新たな問題（例えば最大遅延時間エラーの発生）を防ぐようにした遅延解析装置の構成が提案されている。同様な従来技術として、特開平4-309179号公報には、最小遅延時間エラーの自動修正システムを提供することを目的として、エラーパスの個々に対して最小遅延時間を保証するために、最小遅延時間が制限値を下回ると判断されたエラーパスについて制限値との差分に基づき、最小遅延時間を保証するため、エラーパスに挿入するディレイバッファの種類及び数を選択するようにしたシステムが提案されている。

【0005】また、上記した従来の方式においては、発生したホールドタイムエラーを、配置配線結果の手修正によって回避したり、あるいは論理設計を修正して再度配置配線し直したりすることが必要とされるため、修正作業や再度の配置配線に多大な工数を必要とするという問題を有している。

【0006】さらに、論理設計段階で、予めディレイゲートを挿入しておくようにした場合、論理接続情報のみから配線長を見積り、ホールドタイムエラーを起こす可能性のあるバスにディレイゲートを挿入することになるので、必要以上にディレイゲートが挿入され、レイアウトの収容性が悪化するという問題点を有している。

【0007】従って、本発明は、上記従来技術の問題点に鑑みて為されたものであって、その目的は、配置配線後の遅延解析によりスキューが大きいバスや遅延時間が小さいバスについて発生するホールドタイムエラーを自動で除去することにより、ホールドタイムエラーの手による修正工数や、論理修正しての再レイアウトする作業工数を不要とする方式を提供することにある。

【0008】また、本発明は、論理設計段階でホールドタイムエラーを除去するために、バスに必要以上のディレイゲートを予め挿入しておくことでレイアウトの収容

4

性が悪化することを回避した方式を提供することを目的とする。

#### 【0009】

【課題を解決するための手段】前記目的を達成するため、本発明に係るホールドタイムエラー除去方式は、LSI、PWB等のレイアウト設計において、回路を構成するブロック間の論理接続情報、ブロックの配置結果やブロック間接続の配線結果の物理情報、遅延解析に必要なブロック内部遅延や配線遅延計算用パラメータ等の遅延情報を入力する論理/ライブラリ入力手段と、回路の目標性能を規定するバスの、（最小遅延時間制限、最大遅延時間制限）からなる、遅延時間制限値を入力するバス遅延制約入力手段と、バスの遅延解析を行うバス遅延解析手段と、クロックネットを構成するバスを抽出し前記バス遅延解析手段を用いてクロックスキューを求めるクロックスキュー算出手段と、前記バス遅延解析手段を用いて、前記クロックスキュー算出手段により求められたクロックスキューを考慮したバス遅延解析を行いホールドタイムエラー（最小遅延時間エラー）を起こしている

20 パスを検出するホールドタイムエラー検出手段と、前記ホールドタイムエラー検出手段により検出されたホールドタイムエラーを起こしているバス上のネットに対して、最大遅延時間エラーを起こさない範囲でホールドタイムエラーを除去可能なディレイゲートを選択し挿入するディレイゲート挿入手段と、前記ディレイゲート挿入手段により挿入されたディレイゲートをホールドタイムエラー回避可能な位置に配置するディレイゲート配置手段と、挿入されたディレイゲートの配置によって変更の必要が生じるネットについて再配線を行うインクリメンタル配線手段と、配置配線結果を出力する出力手段と、前記各手段を制御する制御手段と、を有している。

【0010】また、本発明は、請求項1記載の発明における論理/ライブラリ入力手段が、ブロック間接続の配線結果を入力しない場合に、配置結果から各ネットの仮想配線を見積る仮想配線見積り手段と、前記仮想配線を用いてバスの遅延解析を行うバス遅延解析手段を有し、インクリメンタル配線手段を用いないで配置結果のみを出力するような構成としてもよい。

#### 【0011】

【作用】本発明によれば、クロックスキュー算出手段により求められたクロックスキューを考慮して、バス遅延解析手段が配置配線結果に基づくバス遅延解析を行い、ホールドタイムエラー検出手段がバスのホールドタイムエラー（最小遅延時間エラー）を検出し、ディレイゲート挿入手段がエラーを起こしているバス上のネットに対して最大遅延時間エラーを起こさない範囲でホールドタイムエラー回避可能なディレイゲートを選択して挿入して、ディレイゲート配置手段が、選択されたディレイゲートをホールドタイムエラー回避可能な位置に配置し、インクリメンタル配線手段（変更点及び該変更点に

より可及的に変更が生じる部位を配線する)がこのディレイゲートの配置によって変更の必要が生じるネットについて再配線を行うことにより、ホールドタイムエラーを除去した配置配線結果を自動で得ることができる。

【0012】そして、本発明によれば、実際の配置配線結果を基に、ディレイゲート挿入手段が、必要な分だけのディレイゲートを挿入することから、配線収容性の悪化も最小限に抑えられる。

【0013】さらに、本発明によれば、ディレイゲート配置手段とインクリメンタル配線手段によって、初期レイアウト結果に対するインクリメンタルな配置配線修正を行うため、エラー除去に要する時間も短く、新たなホールドタイムエラーも発生しない。

【0014】

【発明の実施の形態】図1に、本発明のホールドタイムエラー除去方式の一実施形態の構成をブロック図にて示す。図1を参照して、本実施形態は、回路を構成するブロック間の論理接続情報111、ブロックの配置結果やブロック間接続の配線結果の物理情報112、遅延解析に必要なブロック内部遅延や配線遅延計算用パラメータ等の遅延情報113を入力する論理/ライブラリ入力手段102と、回路の目標性能を規定するバスの遅延時間制約情報(最小遅延時間制限、最大遅延時間制限)113を入力するバス遅延制約入力手段103と、バスの遅延解析を行うバス遅延解析手段104と、クロックネットを構成するバスを抽出しバス遅延解析手段104を用いてクロックスキューを求めるクロックスキュー算出手段105と、バス遅延解析手段104を用いて、クロックスキュー算出手段105により求められたクロックスキューを考慮したバス遅延解析を行いホールドタイムエラー(最小遅延時間制約違反)を起こしているバスを検出するホールドタイムエラー検出手段106と、ホールドタイムエラー検出手段106により検出されたホールドタイムエラーを起こしているバス上のネットに対して、最大遅延時間エラーを起こさない範囲でホールドタイムエラーを除去可能なディレイゲートを選択し挿入するディレイゲート挿入手段107と、ディレイゲート挿入手段107により挿入されたディレイゲートをホールドタイムエラー回避可能な位置に配置するディレイゲート配置手段108と、挿入されたディレイゲートの配置によって変更の必要が生じるネットについて再配線を行うインクリメンタル配線手段109と、配置配線結果情報115を出力する出力手段110と、これらの各手段を制御する制御手段101と、を備えている。

【0015】図2に示すような、クロックドライバ201、クロックバッファ202~205、フリップフロップ(FF)206、207、ゲート208、及びこれらのブロック間を接続するネット209~218から成る論理接続関係の一部分を例に説明する。図2に示す例は、論理の一部を表しているが、配置線処理は全体につ

いて行われるものとする。図2に示す論理接続の例では、フリップフロップ間のバスとしてバス312が存在している。

【0016】ここで、全てのフリップフロップ間バスの最大遅延時間制限が「20T」(「T」は時間の単位)、最小遅延時間制限が「5T」である場合を例として、レイアウト処理を行うものとする。

【0017】従来のレイアウト方式を用いた場合、論理接続情報に基づいて、総配線長の短縮、配線性の向上を

10 目的とする自動配置配線処理を行った結果、例として、図3に示すような配置配線結果が得られたとする。ここで、従来の方式では、遅延時間制限を特に考慮していないので、配置配線後に遅延解析を行った結果から、フリップフロップ(FF)206-フリップフロップ(FF)207間のバス312が遅延時間は「5T」、またクロックスキューは「-1T」になっているとすると、次式(1)から、最小遅延時間制約に違反する(ホールドタイムの規定を満たさない)。

【0018】

$$20 \quad 5T + (-1T) = 4T < 5T \cdots (1)$$

【0019】本発明の一実施形態に係るホールドタイムエラー除去方式では、図1に示した制御手段101の制御のもとに、以下の各手段が実行される。

【0020】まず、論理/ライブラリ入力手段102が、ブロック間の論理接続情報111、ブロックの配置結果やブロック間接続の配線結果等の物理情報112及び配置配線結果情報115、遅延解析に必要なブロック内部遅延や配線遅延計算用パラメータ等の遅延情報113を入力する。入力された各情報は、後に説明するように、各手段によって参照/更新される。

【0021】配置配線結果情報115としては、例えば図3に示す配置配線結果が入力される。その後、バス遅延制約入力手段103は、バスの最大遅延時間制約として、この例では「20T」、最小遅延時間制約として「5T」を、それぞれバス遅延制約情報114として入力する。

【0022】次に、バス遅延解析手段104を用いてクロックスキュー算出手段105が、バス接続のある全てのフリップフロップ間のクロックスキューを算出する。

【0023】図3に示す例では、クロックドライバ201の出力ピンP1からクロックバッファ202、204を経由してフリップフロップ206のクロック入力ピンP10に至るバスの遅延時間と、クロックドライバ201の出力ピンP1からクロックバッファ203、205を経由してフリップフロップ207のクロック入力ピンP16に至るバスの遅延時間を求め、その時間差である「-1T」をクロックスキューとして算出する。

【0024】次に、バス遅延解析手段104を用いてホールドタイムエラー検出手段106が、各フリップフロップ間バスの遅延時間を算出し、クロックスキュー算出

手段105で求められたクロックスキューを加算して、バス遅延制約情報114の最小遅延時間制約と比較することにより、ホールドタイムエラー（最小遅延時間制約違反）を起こしているバスを検出する。

【0025】図3に示す例では、従来方式の結果として、前述したように、バス312がフリップフロップ206-フリップフロップ207間に「5T」、クロックスキュー「-1T」で、

$$5T + (-1T) = 4T < 5T$$

となり、ホールドタイムエラーを起こしていることが検出される。

【0026】ディレイゲート挿入手段107が、ホールドタイムエラーを除去するために必要なディレイゲートを、遅延情報113を参照して選択し挿入して、論理接続情報111を更新する。

【0027】遅延情報113に登録されているディレイゲートが、例えば図4に示すように、複数存在するものとして、バス312に挿入するディレイゲートとして、最大遅延時間制限20Tを越えない範囲で且つ最小遅延時間制限「5T」を満足できるようなディレイゲート402が選択され挿入される。ディレイゲート402の回路遅延時間は「2T」であるため、挿入後のバス312の遅延時間は、次式(2)から、「6T」となり、ホールドタイムエラーが除去できるものと予想される。

【0028】

$$5T < 5T + 2T + (-1T) = 6T < 20T$$

…(2)

【0029】なお、実際の遅延時間は単純に加算できるものではなく、更に配置配線後でないと正確に求めることは難しいため、ある程度余裕をもってディレイゲート選択は行われることになる。

【0030】ここでの予測が失敗しディレイゲート選択が失敗していることが、以降の処理で検出された場合には、再度選択をしなおすことになる。

【0031】この例では、ディレイゲート挿入手段107により、図5に示すように、論理接続情報111が更新される。

【0032】挿入されたディレイゲート（ここで「ディレイゲート」は機能名）402は、「ゲート503」という名称（ブロック名）になり、図2のネット217に挿入され、ネット217はゲート503をはさんで分割され、新たにネット501、502が生成される。すなわち、図5に論理接続情報として示すように、フリップフロップ206、207のデータバス間においてゲート208の後段に遅延時間が「2T」のディレイゲート503が挿入される。

【0033】論理接続情報の更新にともなって、配置配線結果から、図3のネット217の配線結果310は削除され、図6に示すようなものとなる。

【0034】次に、ディレイゲート配置手段108は、

ディレイゲートとして挿入されたゲート503を、図7に示すように、ホールドタイムエラーが除去できると予想される位置に配置する。

【0035】この例では、除去した配線結果310の経路上に配置しているが、挿入されたディレイゲートの回路遅延時間が小さい場合には、配線を迂回させるような位置に配置して遅延を発生することもある。

【0036】また、図7に示した配置例では、ゲート503の配置位置に他のネットの配線は存在しないが、多くのネットの配線等が存在する場合には配線ショートや配線禁止違反を起こすような配線を削除する。

【0037】その後、インクリメンタル配線手段109が、未配線状態となっているネットとして、この場合、ネット501と502の配線を行い、図8に示すような、ホールドタイムエラーが除去された配線結果801、802が得られる。

【0038】図9に、本発明のホールドタイムエラー除去方式の別の実施形態の構成をブロック図にて示す。図1に示した前記実施形態との相違点は、仮想配線見積り手段904が追加され、インクリメンタル配線手段109に相当する手段が除去され、配置配線結果情報115が、配置結果情報915に置き換えられていることである。

【0039】前記実施形態では、実際の配線結果を用いてバス遅延解析手段104が遅延解析を行い、最終的にインクリメンタル配線手段109により配線まで行って配置配線結果を出力している。

【0040】これに対して、本実施形態の方式では、配置のみ実行された結果を用いて、図9に示す仮想配線見積り手段904が、仮想配線を見積もり、これを用いてバス遅延解析手段905が遅延解析を行い、クロックスキュー算出、ディレイゲートの挿入を行い、その後ディレイゲートを配置する。特に、詳細設計に入る前の設計の初期段階で用いるような方式である。

#### 【0041】

【発明の効果】以上説明したように、本発明によれば、ホールドタイムエラーを除去した配置配線結果を自動で得ることができるという効果を有する。

【0042】これは、本発明が、クロックスキュー算出手段により求められたクロックスキューを考慮して、バス遅延解析手段が配置配線結果に基づくバス遅延解析を行い、ホールドタイムエラー検出手段がバスのホールドタイムエラー（最小遅延時間エラー）を検出し、ディレイゲート挿入手段がエラーを起こしているバス上のネットに対して最大遅延時間エラーを起こさない範囲でホールドタイムエラーを回避可能なディレイゲートを選択し挿入し、ディレイゲート配置手段がそのディレイゲートをホールドタイムエラー回避可能な位置に配置し、インクリメンタル配線手段がディレイゲートの配置によって変更の必要が生じるネットについて再配線を行う、こと

による。

【0043】また、本発明によれば、ホールドタイムエラーを改善するために挿入するディレイゲートの追加による配線収容性の悪化は最小限に抑えることができるという効果を有する。これは、ホールドタイムエラーを除去するために必要なディレイゲートのみ挿入するためである。

【0044】さらに、本発明によれば、ホールドタイムエラーの除去に要する時間も短く、新たなホールドタイムエラーも発生しないという効果を有する。これは、初期レイアウト結果に対するインクリメンタルな配置配線処理を行うためである。

【図面の簡単な説明】

【図1】本発明の一実施形態の構成を示すブロック図である。

【図2】本発明の一実施形態を説明するための論理接続情報の例である。

【図3】図2の論理接続情報について従来技術による配置配線結果の一例を示す図である。

【図4】本発明の一実施形態を説明するための図であり、ディレイゲート挿入手段が選択し挿入するディレイゲートの一例を示す図ある。

【図5】本発明の一実施形態を説明するための図であり、図2の論理接続情報に対して、本発明の一実施形態におけるディレイゲート挿入手段によりディレイゲートが挿入された結果の論理接続情報の例を示す図である。

【図6】本発明の一実施形態を説明するための図であり、本発明の一実施形態におけるディレイゲート挿入手段が削除した配線結果の例を示す図である。

【図7】本発明の一実施形態を説明するための図であり、本発明の一実施形態におけるディレイゲート配置手段がディレイゲートを配置した配置結果の例を示す図である。

ある。

【図8】本発明の一実施形態を説明するための図であり、本発明の一実施形態におけるインクリメンタル配線手段による配線結果の例を示す図である。

【図9】本発明の別の実施形態の構成を示すブロック図である。

【符号の説明】

101 制御手段

102 論理/ライラリ入力手段

103 パス遅延制約入力手段、

104 パス遅延解析手段

105 クロックスキュウ算出手段

106 ホールドタイムエラー検出手段

107 ディレイゲート挿入手段

108 ディレイゲート配置手段

109 インクリメンタル配線手段

110 配置配線結果出力手段

112 物理情報

113 遅延情報

20 114 パス遅延制約情報

115 配置配線結果情報

201 クロックドライバ

202~205 クロックバッファ

206、207 フリップフロップ

208 ゲート

211~217 ネット

301~306、308~311 配線結果

312 パス

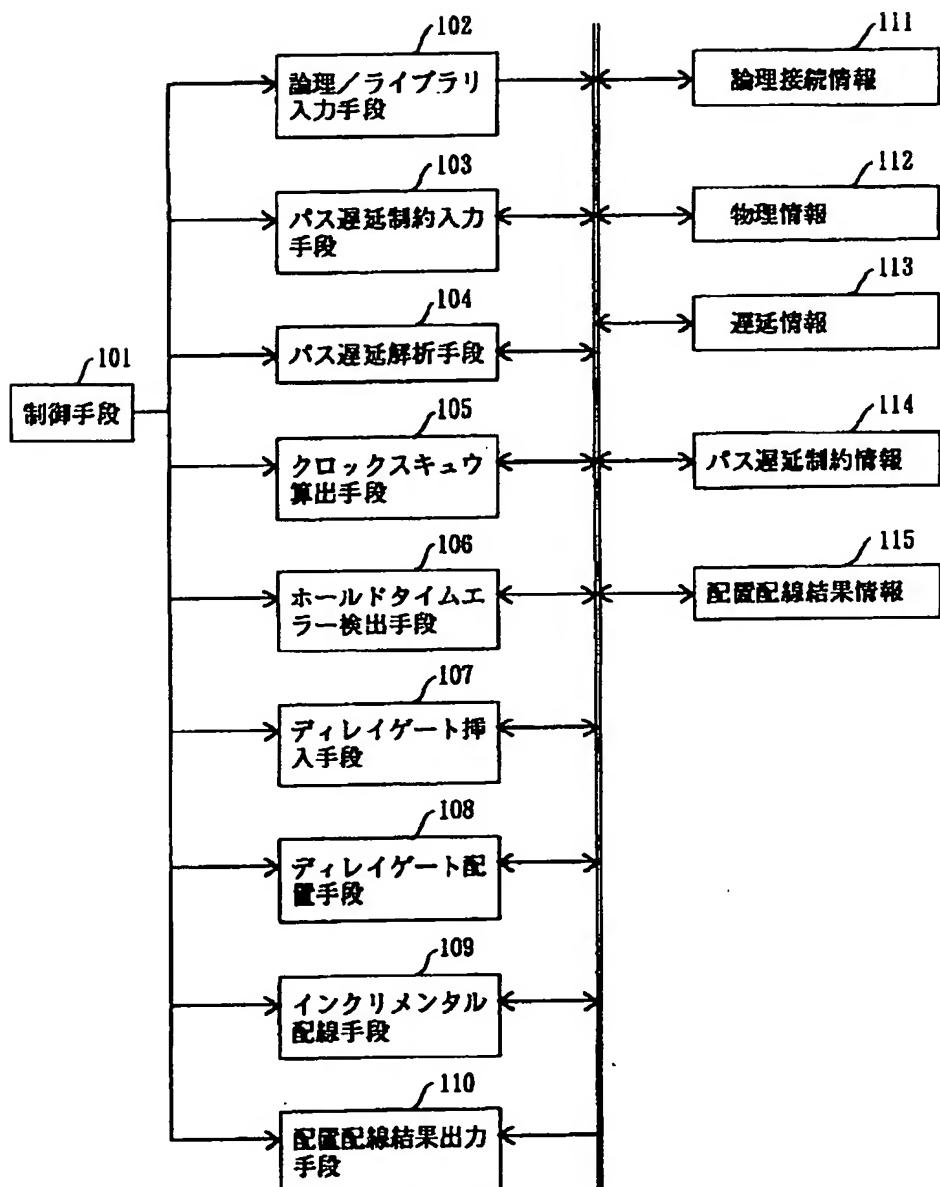
401~404 ディレイゲート

503 ゲート

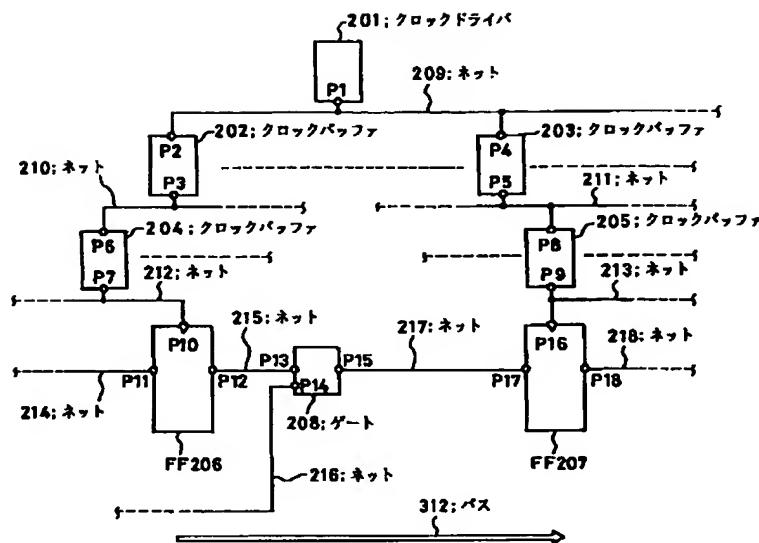
801、802 配線結果

904 仮想配線見積もり手段

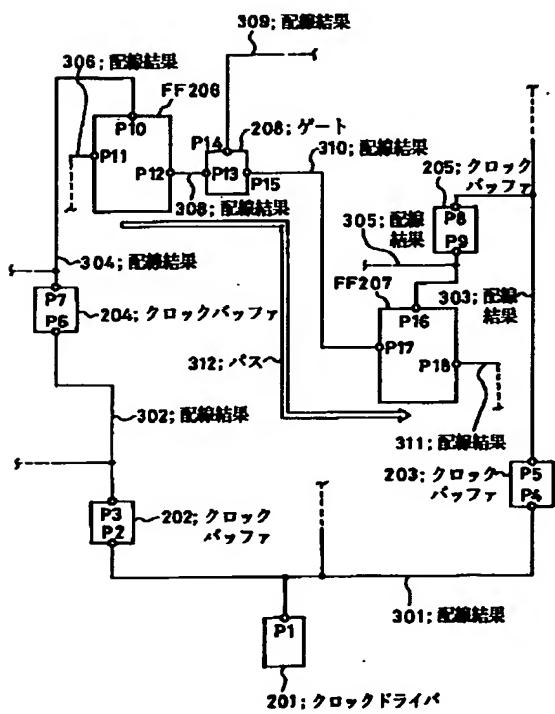
【図1】



【図2】



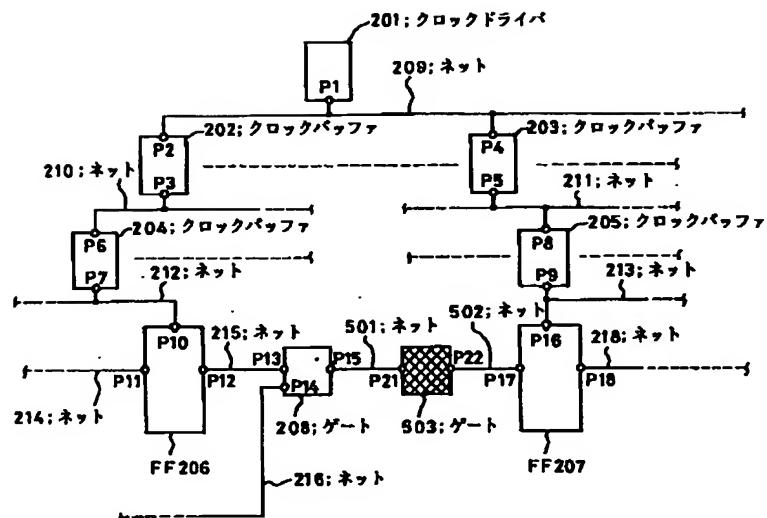
【図3】



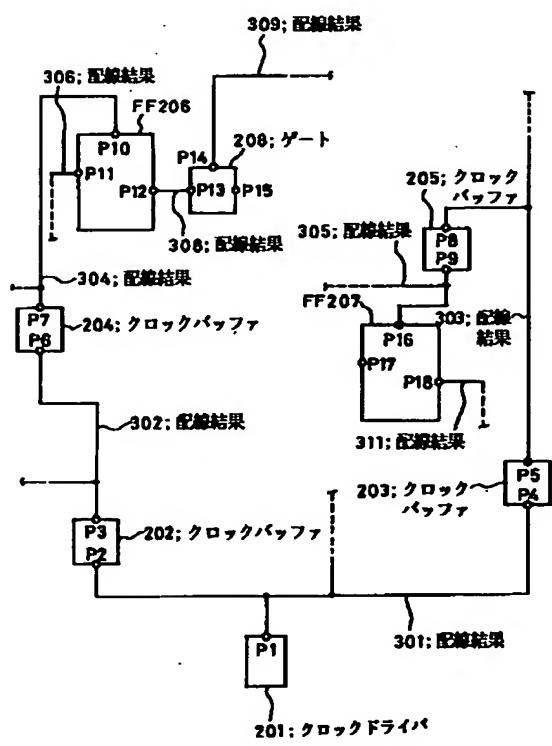
【図4】

ディレイゲート種類	ディレイゲートシンボル	遅延時間
ディレイゲート 401	P19 P20	1T
ディレイゲート 402	P21 P22	2T
ディレイゲート 403	P23 P24	3T
ディレイゲート 404	P25 P26	4T

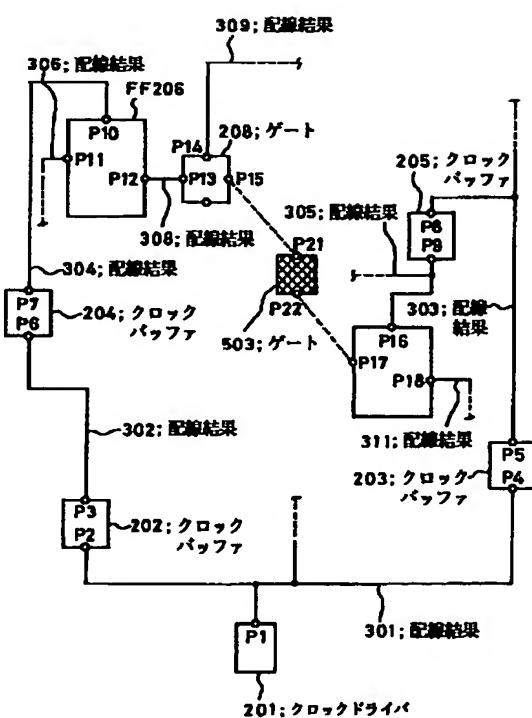
【図5】



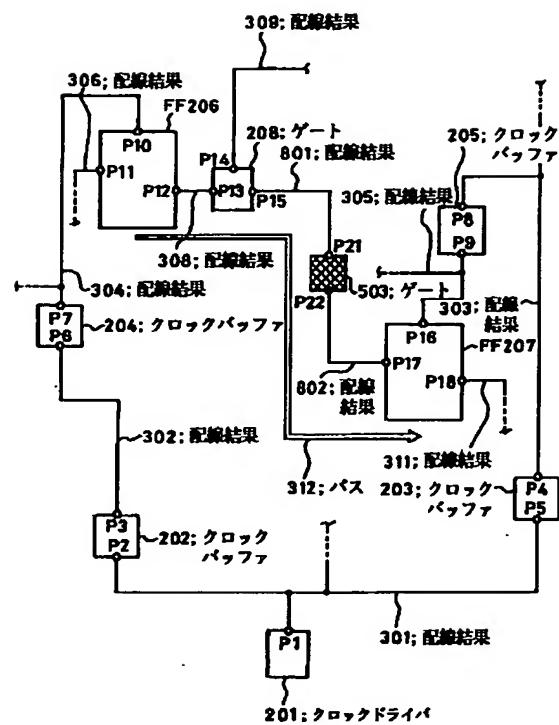
【図6】



【図7】



【図8】



【図9】

